

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年12月26日

Kazuo YAHAGI, et al. Q79008
DISPLAY DEVICE AND DISPLAY PANEL DRIVE
METHOD
Date Filed: December 24, 2003
Darryl Mexic (202) 293-7060
1 of 1

出 願 番 号
Application Number:

特願2002-377685

[ST.10/C]:

[JP2002-377685]

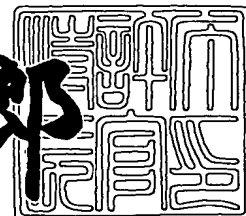
出 願 人
Applicant(s):

パイオニア株式会社

2003年 6月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3051459

【書類名】 特許願

【整理番号】 57P0416

【提出日】 平成14年12月26日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/28

【発明の名称】 表示装置及び表示パネルの駆動方法

【請求項の数】 10

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 矢作 和男

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 徳永 勉

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 塩崎 裕也

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 岩岡 繁

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置及び表示パネルの駆動方法

【特許請求の範囲】

【請求項 1】 入力映像信号に基づく各画素毎の画素データに応じて、1フィールドの表示期間をアドレス期間とサステイン期間とを有する複数のサブフィールドの各期間に分割することによって画像表示を行う表示装置であって、

放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板の内面に設けられている複数の行電極対と、前記背面基板の内面において前記行電極対に交叉して配列された複数の列電極とを有し、前記行電極対及び前記列電極の各交差部に、第1放電セルと、前面基板側に光吸収層が設けられておりかつ前記背面基板側に2次電子放出材料層が設けられた第2放電セルとからなる単位発光領域が形成されている表示パネルと、

前記アドレス期間において前記行電極対の各々の一方の行電極に正極性の走査パルスを順次印加しつつ前記走査パルスと同一タイミングにて前記画素データに対応した画素データパルスを前記列電極側が陰極となるように1表示ラインずつ前記列電極各々に順次印加して前記第2放電セル内に選択的にアドレス放電を生起せしめるアドレス手段と、

前記サステイン期間において前記行電極対を構成する行電極各々にサステインパルスを印加するサステイン手段と、を備え、

前記サステイン手段は、前記アドレス期間に印加される前記サステインパルスのうちの最終サステインパルスを負極性にて前記一方の行電極に印加することを特徴とする表示装置。

【請求項 2】 前記サステイン手段は、前記アドレス期間に印加される前記サステインパルス全てを負極性にて前記一方の行電極に印加することを特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記アドレス手段は、前記第2放電セル内における選択的なアドレス放電を前記第1放電セルに拡張して前記第1放電セルを点灯セル状態又は消灯セル状態のいずれか一方に設定することを特徴とする請求項 1 記載の表示装置。

【請求項 4】 前記放電セルは、前記行電極対を構成する前記一方の行電極と他方の行電極とが放電空間内で第 1 の放電間隙を介して対向する部分を含み、前記第 2 放電セルは、前記列電極と前記行電極対の前記一方の行電極とが放電空間内で第 2 の放電間隙を介して対向する部分を含むことを特徴とする請求項 1 記載の表示装置。

【請求項 5】 前記行電極対を構成する前記一方の行電極と他方の行電極とは、行方向に延びる本体部と前記単位発光領域毎に第 1 の放電間隙を介して対向して前記本体部から列方向に突出する突出部とを備え、前記第 1 放電セルは、前記突出部が放電区間内で第 1 の放電間隙を介する部分を含み、前記第 2 放電セルは、前記行電極対の前記一方の行電極における本体部と列電極とが放電空間内で第 2 の放電間隙を介して対向する部分を含むことを特徴とする請求項 1 記載の表示装置。

【請求項 6】 前記単位発光領域各々の第 2 放電セルの放電空間は、隣接する単位発光領域の放電区間と隔壁によって閉じられていると共に行方向に隣接する単位発光領域各々の第 1 放電セルの放電空間は連通していることを特徴とする請求項 1 記載の表示装置。

【請求項 7】 前記第 1 放電セル内のみに放電によって発光する蛍光体層が形成されていることを特徴とする請求項 1 記載の表示装置。

【請求項 8】 前記アドレス手段による前記アドレス放電に先立って、前記一方の行電極及び前記列電極間にリセットパルスを実行電極に印加することにより前記第 2 放電セル内においてリセット放電を生起せしめるリセット手段を更に含むことを特徴とする請求項 1 記載の表示装置。

【請求項 9】 前記リセットパルスは、前記サステインパルスに比して立ち上がり区間又は立ち下がり区間でのレベル推移が緩やかな波形を有することを特徴とする請求項 1 又は 8 記載の表示装置。

【請求項 10】 放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板の内面に設けられている複数の行電極対と、前記背面基板の内面において前記行電極対に交叉して配列された複数の列電極とを有し、前記行電極対及び前記列電極の各交差部に、第 1 放電セルと、前面基板側に光吸収層が設け

られておりかつ前記背面基板側に 2 次電子放出材料層が設けられた第 2 放電セルとからなる単位発光領域が形成されている表示パネルを入力映像信号に基づく各画素毎の画素データに応じて駆動する駆動方法であって、

1 フィールドの表示期間をアドレス期間とサステイン期間とを有する複数のサブフィールドの各期間に分割し、

前記アドレス期間において前記行電極対の各々の一方の行電極に正極性の走査パルスを順次印加しつつ前記走査パルスと同一タイミングにて前記画素データに対応した画素データパルスを前記列電極側が陰極となるように 1 表示ラインずつ前記列電極各々に順次印加して前記第 2 放電セル内に選択的にアドレス放電を生起せしめ、

前記サステイン期間において前記行電極対を構成する行電極各々にサステインパルスを印加し、

前記アドレス期間に印加される前記サステインパルスのうちの最終サステインパルスを負極性にて前記一方の行電極に印加することを特徴とする駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、表示パネルを搭載した表示装置及び表示パネルの駆動方法に関する。

【0002】

【従来の技術】

近年、大型で薄型のカラー表示パネルとして面放電方式交流型プラズマディスプレイパネルを搭載したプラズマディスプレイ装置が注目されている（例えば、特許文献 1 参照）。

【0003】

【特許文献 1】

特開平 5 - 2 0 5 6 4 2 号公報

図 1 ～図 3 は、かかる従来の面放電方式交流型プラズマディスプレイパネルの構成の一部を示す図である。

プラズマディスプレイパネル（PDP）には、図2に示す如き互いに平行に配置された前面ガラス基板1と背面ガラス基板4との間に画素毎に放電を生じさせるための構成が形成されている。前面ガラス基板1の表面が表示面となる。前面ガラス基板1の裏面側には、長手の複数の行電極対（ X' ， Y' ）と、この行電極対（ X' ， Y' ）を被覆する誘電体層2と、この誘電体層2の裏面を被覆するMgO（酸化マグネシウム）からなる保護層3が順に設けられている。各行電極 X' ， Y' は、図1に示す如く、夫々、幅の広いITO等の透明導電膜からなる透明電極 Xa' ， Ya' と、その導電性を補う幅の狭い金属膜からなるバス電極 Xb' ， Yb' とから構成されている。行電極 X' と Y' とが放電ギャップ g' を挟んで対向するように表示画面の垂直方向に交互に配置されており、各行電極対（ X' ， Y' ）によって、マトリクス表示の1表示ライン（行）Lが構成されている。背面ガラス基板4には、図3に示す如く、行電極対 X' ， Y' と直交する方向に配列された複数の列電極 D' と、この列電極 D' 間にそれぞれ平行に形成された帯状の隔壁5と、この隔壁5の側面と列電極 D' を被覆するそれぞれ赤（R）、緑（G）、青（B）の蛍光材料によって形成された蛍光体層6とが設けられている。保護層3及び蛍光体層6間には、図2に示す如く、キセノンを含むNe-Xeガスが封入されている放電空間 S' が存在する。各表示ラインLには、図1に示す如く列電極 D' 及び行電極対（ X' ， Y' ）の交差部において放電空間 S' を隔壁5によって区画した、単位発光領域としての放電セル C' が形成されている。

【0004】

上記の面放電方式交流型PDPにおける画像の形成には、中間調を表示させるための方法として、サブフィールド法を用いた階調駆動方法が知られている。かかる駆動法では、1フィールドの表示期間をN個のサブフィールドに分割し、各サブフィールドにそのサブフィールドの重み付けに対応した発光実施回数を割り当てる。そして、入力映像信号に応じて、各放電セル毎に発光実施するサブフィールドと、発光を実施させないサブフィールドとを設定して発光駆動を行う。この際、1フィールドを通して実施された発光の総数に応じた中間輝度が視覚されるのである。

【0005】

図4は、上記駆動を実現すべく各サブフィールド内においてPDPに印加される各種駆動パルスを示す図である。

図4に示すように、各サブフィールドは、一斉リセット期間 R_c 、アドレス期間 W_c 、及びサステイン期間 I_c によって構成されている。

一斉リセット期間 R_c では、互いに対をなす行電極 $X_1' \sim X_n'$ と $Y_1' \sim Y_n'$ 間にリセットパルス RP_x 、 RP_y が一斉に印加されることによって、全ての放電セルにおいて一斉にリセット放電が行われ、これによって、一旦、各放電セル内に所定量の壁電荷が形成される。次のアドレス期間 W_c では、行電極 $Y_1' \sim Y_n'$ に順次、走査パルス SP が印加されるとともに、入力映像信号に対応した各画素毎の画素データパルスが1表示ライン分ずつ列電極 $D_1' \sim D_m'$ に印加される。すなわち、図4に示す如く、第1表示ライン～第 n 表示ライン各々に対応した夫々 m 個の画素データパルスからなる画素データパルス群 $DP_1 \sim DP_n$ が走査パルス SP に同期して順次、列電極 $D_1' \sim D_m'$ に印加されるのである。その走査パルスと同時に高電圧の画素データパルスが印加された放電セルのみにアドレス放電（選択消去放電）が生起される。かかるアドレス放電により放電セル内に形成されていた壁電荷が消滅する。一方、アドレス放電の生起されなかった放電セル内には壁電荷が残留する。次のサステイン期間 I_c では、互いに対をなす行電極 $X_1' \sim X_n'$ と $Y_1' \sim Y_n'$ 間にサステインパルス IP_x 、 IP_y が各サブフィールドの重み付けに対応した数だけ印加される。これによって、壁電荷が残留したままの発光セルのみが、印加されるサステインパルス IP_x 、 IP_y の数に対応した数だけサステイン放電を繰り返す。かかるサステイン放電により、放電空間 S' に封入されているキセノン Xe から波長147nmの真空紫外線が放射される。かかる真空紫外線により、背面基板上に形成されている赤（R）、緑（G）、青（B）の蛍光体層が励起して可視光を発生する。

【0006】

【発明が解決しようとする課題】

従来の面放電方式交流型PDPの如き表示パネルにおいては、前記面基板の誘電体層上に形成された MgO 層が、イオン衝撃に対する保護機能と放電確率を高

めて安定動作を行うための２次電子放出機能を備えている。このMgO層は形成面が陰極となる放電時に２次電子を放出する特性に優れており、放電確率を向上させることができる。しかしながら、紫外線を吸収する特性もあるため、背面基板側（蛍光体形成面側）に形成することができない。従って、従来の表示パネルにおける列電極と走査電極間の選択放電（アドレス放電）では、背面基板側の列電極側の陽極、前面基板側の走査電極を陰極として、すなわち、列電極に正極性のデータパルス、走査電極に負極性の走査パルスを印加して選択放電を生じさせていた。

【 0 0 0 7 】

本発明が解決しようとする課題には、上記の問題点が一例として挙げられ、選択放電の放電確率を向上させて選択動作の高速化を安定的に実現することができる表示装置及び表示パネルの駆動方法を提供することが本発明の目的である。

【 0 0 0 8 】

【課題を解決するための手段】

本発明の表示装置は、入力映像信号に基づく各画素毎の画素データに応じて、１フィールドの表示期間をアドレス期間とサステイン期間とを有する複数のサブフィールドの各期間に分割することによって画像表示を行う表示装置であって、放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板の内面に設けられている複数の行電極対と、前記背面基板の内面において前記行電極対に交叉して配列された複数の列電極とを有し、前記行電極対及び前記列電極の各交叉部に、第１放電セルと、前面基板側に光吸収層が設けられておりかつ前記背面基板側に２次電子放出材料層が設けられた第２放電セルとからなる単位発光領域が形成されている表示パネルと、前記アドレス期間において前記行電極対の各々の一方の行電極に正極性の走査パルスを順次印加しつつ前記走査パルスと同一タイミングにて前記画素データに対応した画素データパルスを前記列電極側が陰極となるように１表示ラインずつ前記列電極各々に順次印加して前記第２放電セル内に選択的にアドレス放電を生起せしめるアドレス手段と、前記サステイン期間において前記行電極対を構成する行電極各々にサステインパルスを印加するサステイン手段と、を備え、前記サステイン手段は、前記アドレス期間に印加され

る前記サステインパルスのうちの最終サステインパルスを負極性にて前記一方の行電極に印加することを特徴としている。

【 0 0 0 9 】

本発明の表示パネルの駆動方法は、放電空間を挟んで対向配置された前面基板及び背面基板と、前記前面基板の内面に設けられている複数の行電極対と、前記背面基板の内面において前記行電極対に交叉して配列された複数の列電極とを有し、前記行電極対及び前記列電極の各交差部に、第 1 放電セルと、前面基板側に光吸収層が設けられておりかつ前記背面基板側に 2 次電子放出材料層が設けられた第 2 放電セルとからなる単位発光領域が形成されている表示パネルを入力映像信号に基づく各画素毎の画素データに応じて駆動する駆動方法であって、1 フィールドの表示期間をアドレス期間とサステイン期間とを有する複数のサブフィールドの各期間に分割し、前記アドレス期間において前記行電極対の各々の一方の行電極に正極性の走査パルスを順次印加しつつ前記走査パルスと同一タイミングにて前記画素データに対応した画素データパルスを前記列電極側が陰極となるように 1 表示ラインずつ前記列電極各々に順次印加して前記第 2 放電セル内に選択的にアドレス放電を生起せしめ、前記サステイン期間において前記行電極対を構成する行電極各々にサステインパルスを印加し、前記アドレス期間に印加される前記サステインパルスのうちの最終サステインパルスを負極性にて前記一方の行電極に印加することを特徴としている。

【 0 0 1 0 】

【発明の実施の形態】

図 5 は、本発明による表示装置としてのプラズマディスプレイ装置の構成を示す図である。

図 5 に示すように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしての PDP 50、奇数 X 電極ドライバ 51、偶数 X 電極ドライバ 52、奇数 Y 電極ドライバ 53、偶数 Y 電極ドライバ 54、アドレスドライバ 55、及び駆動制御回路 56 から構成される。

【 0 0 1 1 】

PDP 50 には、表示画面における垂直方向に夫々伸張している帯状の列電極

$D_1 \sim D_m$ が形成されている。更に、PDP50には、表示画面における水平方向に夫々伸張している帯状の行電極 $X_1 \sim X_n$ 及び行電極 $Y_2 \sim Y_n$ が、図5に示すように交互にかつ番号順に配列して形成されている。一对の行電極、つまり行電極対 $(X_2, Y_2) \sim$ 行電極対 (X_n, Y_n) の各々がPDP50における第1表示ライン～第 $(n-1)$ 表示ラインを担う。各表示ラインと列電極 $D_1 \sim D_m$ 各々との各交叉部(図5中の一点鎖線にて囲まれた領域)に、画素を担う画素セルPCが形成されている。すなわち、PDP50には、第1表示ラインに属する画素セル $PC_{1,1} \sim PC_{1,m}$ 、第2表示ラインに属する画素セル $PC_{2,1} \sim PC_{2,m}$ 、……、第 $(n-1)$ 表示ラインに属する画素セル $PC_{n-1,1} \sim PC_{n-1,m}$ がマトリクス状に配列されているのである。

【0012】

図6～図9は、PDP50の内部構造の一部を抜粋して示す図である。

なお、図6は表示面側から眺めたPDP50の平面図である。図7は図6に示されるV1-V1線から眺めたPDP50の断面図である。図8は図6に示されるV2-V2線から眺めたPDP50の断面図である。図9は図6に示されるW1-W1線から眺めたPDP50の断面図である。

【0013】

図6に示すように、行電極Yは、表示画面の水平方向に伸長する帯状のバス電極Yb(行電極Yの本体部)と、バス電極Ybに接続された複数の透明電極Yaとから構成される。バス電極Ybは例えば黒色の金属膜からなる。透明電極YaはITO等の透明導電膜からなり、バス電極Yb上における各列電極Dに対応した位置に夫々配置されている。透明電極Yaは、バス電極Ybとは直交する方向に伸張しており、その一端及び他端が夫々図6に示す如く幅広な形状になっている。すなわち、透明電極Yaは、行電極Yの本体部から突起した突起電極と捉えることができる。また、行電極Xは、表示画面の水平方向に伸長する帯状のバス電極Xb(行電極Xの本体部)と、バス電極Xbに接続された複数の透明電極Xaとから構成される。バス電極Xbは例えば黒色の金属膜からなる。透明電極XaはITO等の透明導電膜からなり、バス電極Xb上における各列電極Dに対応した位置に夫々配置されている。透明電極Xaは、バス電極Xbとは直交する方向に

伸張しており、その一端が図 6 に示す如く幅広な形状になっている。すなわち、透明電極 X a は、行電極 X の本体部から突起した突起電極と捉えることができる。透明電極 X a 及び Y a 各々の幅広部が、図 6 に示す如く互いに所定幅の放電ギャップ g を介して対向して配置されている。つまり、対を為す行電極 X 及び Y 各々の本体部から突起した突起電極としての透明電極 X a 及び Y a が互いに放電ギャップ g を介して対向して配置されているのである。

【 0 0 1 4 】

透明電極 Y a 及びバス電極 Y b からなる行電極 Y と、透明電極 X a 及びバス電極 X b からなる行電極 X は、図 7 に示す如く、PDP 50 の表示面を担う前面ガラス基板 10 の裏面に形成されている。更に、これら行電極 X 及び Y を被覆すべく、前面ガラス基板 10 の裏面には誘電体層 11 が形成されている。誘電体層 11 の表面における制御放電セル C 2 (後述する) 各々に対応した位置には、誘電体層 11 から背面側に向かって突出した嵩上げ誘電体層 12 が形成されている。嵩上げ誘電体層 12 は、黒色または暗色の顔料を含んだ帯状の光吸収層からなり、図 6 に示す如く表示面の水平方向に伸張して形成されている。嵩上げ誘電体層 12 の表面及び嵩上げ誘電体層 12 が形成されていない誘電体層 11 の表面は、MgO (酸化マグネシウム) からなる保護層 (図示せず) によって被覆されている。前面ガラス基板 10 に対して平行配置された背面基板 13 上には、夫々バス電極 X b 及び Y b と直交する方向 (垂直方向) に伸張している複数の列電極 D が互いに所定の間隙を開けて平行に配列されている。背面基板 13 には、列電極 D を被覆する白色の列電極保護層 (誘電体層) 14 が形成されている。列電極保護層 14 上には、第 1 横壁 15 A、第 2 横壁 15 B 及び縦壁 15 C からなる隔壁 15 が形成されている。第 1 横壁 15 A は、バス電極 Y b と対向した列電極保護層 14 上の位置において表示面の水平方向に伸張して形成されている。第 2 横壁 15 B は、バス電極 X b と対向した列電極保護層 14 上の位置において表示面の水平方向に伸張して形成されている。縦壁 15 C は、バス電極 X b (Y b) 上において等間隙に配置された透明電極 X a (Y a) 各々の間の位置において夫々、バス電極 X b (Y b) とは直交する方向に伸張して形成されている。

【 0 0 1 5 】

また、図 7 に示すように、列電極保護層 1 4 上における嵩上げ誘電体層 1 2 に対向した領域(縦壁 1 5 C、第 1 横壁 1 5 A 及び第 2 横壁 1 5 B 各々の側面を含む)には 2 次電子放出材料層 3 0 が形成されている。2 次電子放出材料層 3 0 は、仕事関数が低い(例えば 4.2 eV 以下)、いわゆる 2 次電子放出係数の高い高 γ 材料からなる層である。2 次電子放出材料層 3 0 として用いる材料としては、例えば MgO 、 CaO 、 SrO 、 BaO 等のアルカリ土類金属酸化物、 Cs_2O 等のアルカリ金属酸化物、 CaF_2 、 MgF_2 等のフッ化物、 TiO_2 、 Y_2O_3 、あるいは、結晶欠陥や不純物ドープにより 2 次電子放出係数を高めた材料、ダイヤモンド状薄膜、カーボンナノチューブ等がある。一方、列電極保護層 1 4 上における嵩上げ誘電体層 1 2 に対向した領域以外の領域(縦壁 1 5 C、第 1 横壁 1 5 A 及び第 2 横壁 1 5 B 各々の側面を含む)には、図 7 に示す如く蛍光体層 1 6 が形成されている。蛍光体層 1 6 としては、赤色で発光する赤色蛍光層、緑色で発光する緑色蛍光層、及び青色で発光する青色蛍光層の 3 系統があり、各画素セル PC 毎にその割り当てが決まっている。2 次電子放出材料層 3 0 及び蛍光体層 1 6 と、誘電体層 1 1 との間には放電ガスが封入された放電空間が存在する。第 1 横壁 1 5 A、第 2 横壁 1 5 B 及び縦壁 1 5 C 各々の高さは図 7 及び図 9 に示すように、嵩上げ誘電体層 1 2 又は誘電体層 1 1 の表面に到達するほど高くはない。従って、図 7 に示す如く第 2 横壁 1 5 B と嵩上げ誘電体層 1 2 との間には、放電ガスの流通が可能な間隙 r が存在する。第 1 横壁 1 5 A 及び嵩上げ誘電体層 1 2 間には、放電の干渉を防ぐべく第 1 横壁 1 5 A に沿った方向に伸張した誘電体層 1 7 が形成されている。また、縦壁 1 5 C 及び嵩上げ誘電体層 1 2 間には、図 8 に示すように縦壁 1 5 C に沿った方向に断続的に誘電体層 1 8 が形成されている。

【0016】

ここで、第 1 横壁 1 5 A 及び縦壁 1 5 C によって囲まれた領域(図 6 中の一点鎖線にて囲まれた領域)が画素を担う画素セル PC となる。更に、図 6 及び図 7 に示す如く画素セル PC は、第 2 横壁 1 5 B によって表示放電セル C 1 及び制御放電セル C 2 に分けられている。表示放電セル C 1 は、図 6 及び図 7 に示されるように、表示ラインを担う一対の行電極 X 及び Y と、蛍光体層 1 6 とを含む。

一方、制御放電セルC 2は、その表示ラインを担う一対の行電極の内の行電極Yと、この表示ラインの表示面上方に隣接する表示ラインを担う一対の行電極の内の行電極Xと、嵩上げ誘電体層1 2と、2次電子放出材料層3 0とを含む。なお、表示放電セルC 1内では、図6に示すように、行電極Xの透明電極X aの一端に形成されている幅広部と、行電極Yの透明電極Y aの一端に形成されている幅広部とが放電ギャップgを介して互いに対向して配置されている。一方、制御放電セルC 2内においては、この透明電極Y aの他端に形成されている幅広部が含まれるが、透明電極Xは含まれていない。

【 0 0 1 7 】

また、図7に示す如く、表示面の上下方向(図7では左右方向)において互いに隣接する画素セルP C各々の放電空間は、第1横壁1 5 A及び誘電体層1 7によって遮断されている。ところが、同一の画素セルP Cに属する表示放電セルC 1及び制御放電セルC 2各々の放電空間は、図7に示す如き間隙rにて連通している。更に、表示面の左右方向において互いに隣接する制御放電セルC 2各々の放電空間は、図8に示す如き嵩上げ誘電体層1 2及び誘電体層1 8によって遮断されているが、表示面の左右方向において互いに隣接する表示放電セルC 1各々の放電空間は互いに連通している。

【 0 0 1 8 】

このように、P D P 5 0に形成されている画素セルP C_{1,1}~P C_{n-1,m}の各々は、互いにその放電空間が連通している表示放電セルC 1及び制御放電セルC 2から構成されている。

X電極ドライバ5 1は、駆動制御回路5 6から供給されたタイミング信号に応じて、P D P 5 0の行電極X₁, X₂, X₃, X₄, X₅, ..., X_{n-1}及びX_n各々に、各種駆動パルスを印加する。電極ドライバ5 3は、駆動制御回路5 6から供給されたタイミング信号に応じて、P D P 5 0の行電極Y₂, Y₃, Y₄, Y₅, ..., Y_{n-1}及びY_n各々に各種駆動パルスを印加する。アドレスドライバ5 5は、駆動制御回路5 6から供給されたタイミング信号に応じて、P D P 5 0の列電極D₁~D_mに画素データパルスを印加する。

【 0 0 1 9 】

駆動制御回路 5 6 は、先ず、入力映像信号を各画素毎に輝度レベルを表す例えば 8 ビットの画素データに変換し、この画素データに対して如き誤差拡散処理及びディザ処理を施す。例えば、当該誤差拡散処理では、先ず、画素データの上位 6 ビット分を表示データ、残りの下位 2 ビット分を誤差データとする。そして、周辺画素各々に対応した当該画素データの各誤差データを重み付け加算したものを、上記表示データに反映させる。かかる動作により、原画素における下位 2 ビット分の輝度が上記周辺画素によって擬似的に表現され、それ故に 8 ビットよりも少ない 6 ビット分の表示データにて、8 ビット分の画素データと同等の輝度階調表現が可能になる。そして、この誤差拡散処理によって得られた 6 ビットの誤差拡散処理画素データに対してディザ処理を施す。ディザ処理では、互いに隣接する複数の画素を 1 画素単位とし、この 1 画素単位内の各画素に対応した誤差拡散処理画素データに夫々、互いに異なる係数値からなるディザ係数を夫々割り当てて加算してディザ加算画素データを得る。かかるディザ係数の加算によれば、1 画素単位で眺めた場合には、ディザ加算画素データの上位 4 ビット分だけでも 8 ビットに相当する輝度を表現することが可能となる。

【 0 0 2 0 】

駆動制御回路 5 6 は、これら誤差拡散処理及びディザ処理により 8 ビットの画素データを 4 ビットの多階調化画素データ PD_S に変換し、更に、この多階調化画素データ PD_S を図 1 0 に示す如きデータ変換テーブルに従って 1 5 ビットの画素駆動データ GD に変換する。これにより、8 ビットで 2 5 6 階調を表現し得る画素データは、全部で 1 6 パターンからなる 1 5 ビットの画素駆動データ GD に変換される。次に、駆動制御回路 5 6 は、1 画面分の画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 毎に、これら画素駆動データ $GD_{1,1} \sim GD_{(n-1),m}$ 各々を同一ビット桁同士にて分離することにより、画素駆動データビット群 $DB1 \sim DB15$ を得る。駆動制御回路 5 6 は、サブフィールド $SF1 \sim SF15$ 毎に、そのサブフィールドに対応した画素駆動データビット群 DB におけるデータビットを 1 表示ライン分 (m 個) ずつアドレスドライバ 5 5 に供給する。

【 0 0 2 1 】

図 1 1 は、選択消去アドレス法を適用して $PDP50$ を階調駆動する際の発光

駆動シーケンスを示す図である。

図 1 1 に示す発光駆動シーケンスでは、映像信号における各フィールドを 1 5 個のサブフィールド S F 1 ~ S F 1 5 に分割し、各サブフィールドにおいてアドレス行程 W、及び発光維持行程 I を実行する。なお、先頭のサブフィールド S F 1 ではアドレス行程 W に先立ち一斉リセット行程 R を実行し、最後尾のサブフィールド S F 1 5 では発光維持行程 I の直後に消去行程 E を実行する。

【 0 0 2 2 】

図 1 2 は、図 1 1 に示す発光駆動シーケンスに従って、一斉リセット行程 R、アドレス行程 W、発光維持行程 I 各々にて奇数 X 電極ドライバ 5 1、偶数 X 電極ドライバ 5 2、奇数 Y 電極ドライバ 5 3 及び偶数 Y 電極ドライバ 5 4 各々が P D P 5 0 に印加する各種駆動パルスを示す図である。なお、図 1 2 においては、先頭のサブフィールド S F 1 とその次のサブフィールド S F 2 の一部のみを抜粋して示している。

【 0 0 2 3 】

先ず、一斉リセット行程 R では、Y 電極ドライバ 5 3 が、後述するサステインパルスに比して立ち下がり変化の緩やかな負極性のリセットパルス RP_Y を発生して P D P 5 0 の行電極 $Y_2 \sim Y_n$ の各々に同時に印加する。また、かかるリセットパルス RP_Y と同一タイミングにて、X 電極ドライバ 5 1 が、正極性のリセットパルス RP_X を発生して P D P 5 0 の行電極 $X_1 \sim X_n$ の各々に同時に印加する。この間、アドレスドライバ 5 5 は、正極性のリセットパルス RP_D を発生して P D P 5 0 の列電極 $D_1 \sim D_n$ の各々に同時に印加する。これらリセットパルス RP_D 、 RP_Y 及び RP_X の印加に応じて、P D P 5 0 の全ての画素セル P C 各々の制御放電セル C 2 内の列電極 D 及び行電極 Y 間においてリセット放電(書込放電)が生起され、この制御放電セル C 2 内に壁電荷が形成される。なお、これらリセットパルス RP_D 、 RP_Y 及び RP_X の印加により、列電極 D 側が行電極 X、Y に対して相対的に陽極となる。そして、リセット放電が図 7 に示した間隙 r を介して表示放電セル C 1 側に移行し、表示放電セル C 1 内の行電極 Y 及び X 間において放電を生起させる。かかる放電移行により、全ての画像セル P C の表示放電セル C 1 内には壁電荷が形成される。

【 0 0 2 4 】

上記した如く、選択消去アドレス法に基づく一斉リセット行程Rでは、PDP 50の全ての画素セルPCの表示放電セルC1内に壁電荷を形成させ、これら画素セルPCを全て点灯セルモードに初期化する。

次に、アドレス行程Wでは、Y電極ドライバ53が正極性の電圧V1を全ての行電極 $Y_2 \sim Y_n$ に印加しつつ、正極性の電圧V2 ($V_2 > V_1$)を有する走査パルスSPを行電極 $Y_2 \sim Y_n$ 各々に順次印加して行く。この間、X電極ドライバ51は、行電極 $X_1 \sim X_n$ 各々を0Vにさせる。アドレスドライバ55は、このサブフィールドSF1に対応した画素駆動データビット群DB1における各データビットをその論理レベルに応じたパルス電圧を有する画素データパルスDPに変換する。例えば、アドレスドライバ55は、論理レベル0の画素駆動データビットを正極性の高電圧の画素データパルスDPに変換する一方、論理レベル1の画素駆動データビットを低電圧(0ボルト)の画素データパルスDPに変換する。そして、かかる画素データパルスDPを走査パルスSPの印加タイミングに同期して1表示ライン分(m個)ずつ列電極 $D_1 \sim D_m$ に印加して行く。つまり、アドレスドライバ55は、先ず、第1表示ラインに対応したm個の画素データパルスDPからなる画素データパルス群DP₁を列電極 $D_1 \sim D_m$ に印加し、次に、第2表示ラインに対応したm個の画素データパルスDPからなる画素データパルス群DP₂を列電極 $D_1 \sim D_m$ に印加して行くのである。正極性の電圧V2を有する走査パルスSPと低電圧(0ボルト)の画素データパルスDPとが同時に印加された画素セルPCの制御放電セルC2内の列電極D及び行電極Y間において消去アドレス放電が生起される。そして、消去アドレス放電に伴いその放電が図7に示した間隔rを介して表示放電セルC1側に移行し、表示放電セルC1内の行電極Y及びX間で放電が生起される。上述した如き制御放電セルC2から表示放電セルC1への放電移行により、表示放電セルC1内に形成されていた壁電荷が消滅する。一方、走査パルスSPが印加されたものの高電圧の画素データパルスDPが印加された画素セルPCの制御放電セルC2内では上記の如き消去アドレス放電は生起されない。よって、上述した如き制御放電セルC2から表示放電セルC1への放電移行も生じないので、表示放電セルC1内の壁電荷の形成状態も現状を維持

する。つまり、表示放電セルC 1内に壁電荷が存在する場合にはこれがそのまま残留し、存在しない場合には壁電荷のこの壁電荷の非形成状態が維持される。

【 0 0 2 5 】

このように、選択消去アドレス法に基づくアドレス行程Wでは、サブフィールドに対応した画素駆動データビット群の各データビットに応じて選択的に画素セルPC各々の制御放電セルC 2内に消去アドレス放電を生起させて壁電荷を消去させる。これにより、壁電荷の残留する画素セルPCを点灯セルモード、壁電荷が消去された画素セルPCを消灯セルモードに設定するのである。

【 0 0 2 6 】

次に、サステイン行程Iでは、X電極ドライバ5 1は、負極性のサステインパルス IP_X を行電極 $X_1 \sim X_n$ 各々に繰り返し印加し、Y電極ドライバ5 3が負極性のサステインパルス IP_Y を行電極 $Y_2 \sim Y_n$ 各々に繰り返し印加する。そのサステインパルスの印加は行電極 $X_1 \sim X_n$ と行電極 $Y_2 \sim Y_n$ とで交互に行われ、繰り返しはこのサステイン行程Iの属するサブフィールドに割り当てられている回数だけである。サステインパルス IP_X 又は IP_Y が印加されると、点灯セルモードに設定された画素セルPCの表示放電セルC 1内の透明電極X aと透明電極Y aとの間でサステイン放電が生起される。図1 2にはそのサステイン放電の放電電流の方向を矢印で示されている。サステイン放電によって発生した紫外線により、図7に示す如く表示放電セルC 1内に形成されている蛍光体層1 6(赤色蛍光層、緑色蛍光層、青色蛍光層)が励起し、その蛍光色に対応した光が前蛍光体層1 6面ガラス基板1 0を介して放射される。つまり、このサステイン行程Iの属するサブフィールドに割り当てられている回数分だけ、サステイン放電に伴う発光が繰り返し生起されるのである。

【 0 0 2 7 】

負極性のサステインパルス IP_X 、 IP_Y の印加によって点灯セルモードに設定された画素セルPCの表示放電セルC 1内の列電極D側の放電空間には負の壁電荷が形成される。各サステイン行程Iは、サステインパルス IP_Y の行電極 $Y_2 \sim Y_n$ 各々への印加で必ず終了する。この終了により、行電極 $Y_2 \sim Y_n$ 側の放電空間には正の壁電荷が形成される。よって、表示放電セルC 1内にはそのサブフィ

ールドのアドレス行程Wの終了時の壁電荷状態が形成される。

【 0 0 2 8 】

図 1 2 に示されるように、サブフィールド S F 1 から次のサブフィールド S F 2 に移行すると、直ちにアドレス行程Wが開始される。上記したように、Y電極ドライバ 5 3 が正極性の電圧 V_1 を全ての行電極 $Y_2 \sim Y_n$ に印加しつつ、正極性の電圧 V_2 ($V_2 > V_1$) を有する走査パルス S P を行電極 $Y_2 \sim Y_n$ 各々に順次印加して行く。この間、X電極ドライバ 5 1 は、行電極 $X_1 \sim X_n$ 各々を 0 V にさせる。アドレスドライバ 5 5 は、このサブフィールド S F 1 に対応した画素駆動データビット群 D B 1 における各データビットをその論理レベルに応じたパルス電圧を有する画素データパルス D P に変換し、画素データパルス D P を走査パルス S P の印加タイミングに同期して 1 表示ライン分 (m 個) ずつ列電極 $D_1 \sim D_m$ に印加して行く。

【 0 0 2 9 】

サブフィールド S F 1 のサステイン行程 I の終了時において表示放電セル C 1 内の壁電荷の形成状態はサブフィールド S F 1 のアドレス行程Wの終了時の状態であるので、サブフィールド S F 2 においてアドレス行程Wを開始するに当たって制御放電セル C 2 から表示放電セル C 1 への放電移行の必要がない。よって、サブフィールド S F 2 のアドレス行程Wでは、正極性の電圧 V_2 を有する走査パルス S P と低電圧 (0 ボルト) の画素データパルス D P とが同時に印加された画素セル P C の制御放電セル C 2 内の列電極 D 及び行電極 Y 間において消去アドレス放電が生起される。そして、消去アドレス放電に伴いその放電が図 7 に示した間隙 r を介して表示放電セル C 1 側に移行し、表示放電セル C 1 内の行電極 Y 及び X 間で放電が生起される。サブフィールド S F 2 のアドレス行程Wにおける制御放電セル C 2 から表示放電セル C 1 への放電移行により、表示放電セル C 1 内にサブフィールド S F 1 において形成されていた壁電荷が消滅する。一方、走査パルス S P が印加されたものの高電圧の画素データパルス D P が印加された画素セル P C の制御放電セル C 2 内では上記の如き消去アドレス放電は生起されない。よって、サブフィールド S F 2 のアドレス行程Wにおいて制御放電セル C 2 から表示放電セル C 1 への放電移行も生じないので、表示放電セル C 1 内の壁電荷

の形成状態も現状を維持する。すなわち、表示放電セル C 1 内にサブフィールド S F 1 の期間からの壁電荷が存在する場合にはこれがそのまま残留し、存在しない場合には壁電荷のこの壁電荷の非形成状態が維持される。

【 0 0 3 0 】

図示しないサブフィールド S F 2 のサスティン行程の動作及びその後のサブフィールドの各行程の動作は、上記したサブフィールド S F 1 のアドレス行程及びサスティン行程における動作と同様である。

図 1 1 及び図 1 2 に示す如き一斉リセット行程 R、アドレス行程 W、及びサスティン行程 I による駆動を、図 1 0 に示す如き 1 6 通りの画素駆動データ G D に基づいて実行する。図 1 1 及び図 1 2 に示す如き選択消去アドレス法を適用した駆動によれば、サブフィールド S F 1 ～ S F 1 5 の内で、画素セル P C を消灯セルモードから点灯セルモードに推移させることが可能な機会は、サブフィールド S F 1 の一斉リセット行程 R だけである。従って、サブフィールド S F 1 ～ S F 1 5 の内の 1 のサブフィールドで消去アドレス放電が生起され、一旦、画素セル P C が消灯セルモードに設定されると、それ以降のサブフィールドではこの画素セル P C が点灯セルモードに復帰することはない。従って、図 1 0 に示す如き 1 6 通りの画素駆動データ G D に基づく駆動によれば、表現すべき輝度に対応した分だけ連続したサブフィールド各々において各画素セル P C が点灯セルモードに設定される。そして、消去アドレス放電(黒丸にて示す)が生起されるまでの間、各サブフィールドのサスティン行程 I において連続してサスティン放電発光(白丸に示す)が為されるのである。

【 0 0 3 1 】

上述した如き駆動により、1 フィールド期間内において生起された放電の総数に対応した輝度が視覚される。すなわち、図 1 0 に示す如き第 1 ～第 1 6 階調駆動による 1 6 種類の発光パターンによれば、白丸にて示されるサブフィールドにおいて生起されたサスティン放電の合計回数に対応した 1 6 階調分の間輝度が表現されるのである。

【 0 0 3 2 】

以上の如き選択消去アドレス法に基づく駆動を行う場合に、アドレス行程 W に

において消去アドレス放電を生起させる際には、正極性の電圧 V_2 を有する走査パルス SP を行電極 Y に印加すると共に低電圧（0 ボルト）の画素データパルス DP を列電極 D に印加している。このように、制御放電セル C_2 内の列電極 D を行電極 Y よりも低電位とすることにより、制御放電セル C_2 内に形成されている 2 次電子放出材料層 30 が行電極 Y に対して陰極となる。よって、消去アドレス放電を生起させる際には、2 次電子放出材料層 30 から良好に 2 次電子が放出され、制御放電セル C_2 内において消去アドレス放電が確実に生起されるようになるのである。

【 0 0 3 3 】

また、上記実施例においては、 N 個（実施例では 15 個）のサブフィールドによって $(N+1)$ 階調分の間接輝度を表現する階調駆動を一例にとってその動作を説明したが、 N 個のサブフィールドで 2^N 階調分の間接輝度を表現する階調駆動にも同様に適用可能である。

図 13 は本発明の他の実施例としてプラズマディスプレイ装置の構成を示している。図 5 の装置では、表示ラインを担う行電極 X 及び Y が、 X 、 Y 、 X 、 Y なる配置にて配列されている表示パネルを駆動する場合について説明したが、図 13 の装置では、行電極 X 及び Y が、 X 、 X 、 Y 、 Y 、 X 、 X 、 Y 、 Y なる配置にて配列されてなる表示パネルが用いられている。

【 0 0 3 4 】

図 13 のプラズマディスプレイ装置は、図 5 に示す PDP 50 に代わり、行電極 X 及び Y の配列順が X 、 X 、 Y 、 Y 、 X 、 X 、 Y 、 Y となる PDP 500 を採用したものであり、その他の構成は図 5 に示すものと同一である。

PDP 500 には、表示画面における垂直方向に夫々伸張している帯状の列電極 $D_1 \sim D_m$ が形成されている。更に、PDP 500 には、表示画面における水平方向に夫々伸張している帯状の行電極 $X_1 \sim X_n$ 及び行電極 $Y_2 \sim Y_n$ が交互にかつ番号順に配列して形成されている。一対の行電極、つまり行電極対 $(X_2, Y_2) \sim$ 行電極対 (X_n, Y_n) の各々が PDP 50 における第 1 表示ライン～第 $(n-1)$ 表示ラインを担う。各表示ラインと列電極 $D_1 \sim D_m$ 各々との各交叉部（図 16 中の一点鎖線にて囲まれた領域）に、画素を担う画素セル PC が形成されている。す

なわち、PDP50には、第1表示ラインに属する画素セル $PC_{1,1} \sim PC_{1,m}$ 、第2表示ラインに属する画素セル $PC_{2,1} \sim PC_{2,m}$ 、……、第 $(n-1)$ 表示ラインに属する画素セル $PC_{n-1,1} \sim PC_{n-1,m}$ がマトリクス状に配列されているのである。

【0035】

図14～図17は、PDP500の内部構造の一部を抜粋して示す図である。

なお、図14は表示面側から眺めた構造を示す平面図である。図15は図14に示されるV1-V1線から眺めた断面図であり、図16はV2-V2線から眺めた断面図である。図17は図14に示されるW1-W1線から眺めた断面図である。図14～図17において、図6～図9に示される符号と同一符号の付されている構造物は互いに同一のものである。

【0036】

すなわち、PDP500には、PDP50と同様な構造を有する一対の放電セル（表示放電セルC1及び制御放電セルC2）からなる画素セルPCがマトリクス状に配列されている。ただし、PDP500においては、PDP50とは異なり、画面上下方向において互いに隣接する2つの画素セルPC各々の制御放電セルC2同士が互いに隣接して配置されている。これら隣接する制御放電セルC2各々の放電空間は、図15に示されるように第1横壁15A及び誘電体層17によって遮断されている。

【0037】

図18は、上記PDP500を選択消去アドレス法を採用した図10及び図11に示す如き駆動シーケンスに従って駆動する際に、X電極ドライバ51及びY電極ドライバ53各々がPDP500に印加する各種駆動パルスを示す図である。

図18において、一斉リセット行程R、アドレス行程W、及びサステイン行程I各々で印加されるリセットパルス RP_X 、 RP_Y 、 RP_D 、画素データパルスD、走査パルスSP、サステインパルス IP_X 及び IP_Y の各々は、図12に示されるものと同一である。つまり、これら各種駆動パルスの印加によって生起される放電、及びその放電に伴う作用が図12において説明したものと同一である。

ただし、図 1 8 に示される駆動では、アドレス行程 W の間において X 電極 $X_1 \sim X_n$ には 0 V ではなく所定の正電圧が印加される。所定の正電圧は、消去アドレス放電が生起された際に、間隙 r を介して表示放電セル C 1 側に移行し、表示放電セル C 1 内の行電極 Y 及び X 間で放電が生起される程度の電圧である。

【 0 0 3 8 】

サステイン行程 I では、X 電極ドライバ 5 1 は、負極性のサステインパルス IP_X を行電極 $X_1 \sim X_n$ 各々に繰り返し印加し、Y 電極ドライバ 5 3 が負極性のサステインパルス IP_Y を行電極 $Y_2 \sim Y_n$ 各々に繰り返し印加する。そのサステインパルスの印加は行電極 $X_1 \sim X_n$ と行電極 $Y_2 \sim Y_n$ とで交互に行われ、繰り返しはこのサステイン行程 I の属するサブフィールドに割り当てられている回数だけである。サステインパルス IP_X 又は IP_Y が印加されると、点灯セルモードに設定された画素セル PC の表示放電セル C 1 内の透明電極 X a と透明電極 Y a との間でサステイン放電が生起される。図 1 8 にはそのサステイン放電の放電電流の方向を矢印で示されている。

【 0 0 3 9 】

負極性のサステインパルス IP_X 、 IP_Y の印加によって点灯セルモードに設定された画素セル PC の表示放電セル C 1 内の列電極 D 側の放電空間には負の壁電荷が形成される。各サステイン行程 I は、サステインパルス IP_Y の行電極 $Y_2 \sim Y_n$ 各々への印加で必ず終了する。この終了により、行電極 $Y_2 \sim Y_n$ 側の放電空間には正の壁電荷が形成される。よって、表示放電セル C 1 内にはそのサブフィールドのアドレス行程 W の終了時の壁電荷状態が形成される。

【 0 0 4 0 】

図 1 9 は図 5 のプラズマディスプレイ装置における PDP 5 0 に印加される各種駆動パルス波形の他の例を示している。この図 1 9 では、図 1 2 に示した各種駆動パルス波形と同様にサブフィールド SF 1 とその次のサブフィールド SF 2 の一部のみが示されている。サステイン行程 I では、X 電極ドライバ 5 1 は、正極性のサステインパルス IP_X を行電極 $X_1 \sim X_n$ 各々に繰り返し印加し、Y 電極ドライバ 5 3 が正極性のサステインパルス IP_Y を行電極 $Y_2 \sim Y_n$ 各々に繰り返し印加し、サステイン行程 I の最後のサステインパルス IP_Y だけを負極性にて

行電極 $Y_2 \sim Y_n$ 各々に印加する。このサステイン行程Iにおけるサステインパルス IP_X 及び IP_Y の印加方法が図12の負極性のサステインパルスだけの印加方法とは異なる点である。図19のパルス印加方法においても、サステインパルスの印加は行電極 $X_1 \sim X_n$ と行電極 $Y_2 \sim Y_n$ とで交互に行われ、繰り返しはこのサステイン行程Iの属するサブフィールドに割り当てられている回数だけである。サステインパルス IP_X 又は IP_Y が印加されると、点灯セルモードに設定された画素セルPCの表示放電セルC1内の透明電極Xaと透明電極Yaとの間でサステイン放電が生起される。図19にはそのサステイン放電の放電電流の方向を矢印で示されている。

【0041】

各サステイン行程Iは、負極性のサステインパルス IP_Y の印加によって終了するので、点灯セルモードに設定された画素セルPCの表示放電セルC1内の列電極D側の放電空間には負の壁電荷が形成され、行電極 $Y_2 \sim Y_n$ 側の放電空間には正の壁電荷が形成される。よって、表示放電セルC1内にはそのサブフィールドのアドレス行程Wの終了時の壁電荷状態が形成される。

【0042】

なお、図13のプラズマディスプレイ装置においても図19に示されたように、サステイン行程Iの最後のサステインパルス IP_Y だけを負極性にて印加し、それ以外のサステインパルス IP_X 、 IP_Y は正極性にて印加するようにしても良い。

以上のように、本発明によれば、選択放電の放電確率を向上させて選択動作の高速化を安定的に実現することができる。

【図面の簡単な説明】

【図1】

従来のPDPの構造の一部を表示面側から眺めた平面図である。

【図2】

図1に示されるV-V線上でのPDPの断面を示す図である。

【図3】

図1に示されるW-W線上でのPDPの断面を示す図である。

【図 4】

PDP に印加される各種駆動パルスと、その印加タイミングを示す図である。

【図 5】

本発明を適用したプラズマディスプレイ装置の概略構成を示す図である。

【図 6】

図 5 の装置中の PDP の構造の一部を表示面側から眺めた平面図である。

【図 7】

図 6 に示される V1 - V1 線上での PDP の断面を示す図である。

【図 8】

図 6 に示される V2 - V2 線上での PDP の断面を示す図である。

【図 9】

図 6 に示される W1 - W1 線上での PDP の断面を示す図である。

【図 10】

選択消去アドレス法における画素データ変換テーブルと、この画素データ変換テーブルによって得られた画素駆動データ GD に基づく発光駆動パターンを示す図である。

【図 11】

選択消去アドレス法による駆動時における発光駆動シーケンスの一例を示す図である。

【図 12】

図 5 の装置においてサブフィールド SF1 及び SF2 の一部の期間に PDP に印加される各種駆動パルスとその印加タイミングを示す図である。

【図 13】

本発明を適用した他のプラズマディスプレイ装置の他の構成を示す図である。

【図 14】

図 13 の装置中の PDP の構造の一部を表示面側から眺めた平面図である。

【図 15】

図 14 に示される V1 - V1 線上での PDP の断面を示す図である。

【図 16】

図 1 4 に示される V 2 - V 2 線上での P D P の断面を示す図である。

【図 1 7】

図 1 4 に示される W 1 - W 1 線上での P D P の断面を示す図である。

【図 1 8】

図 1 3 の装置においてサブフィールド S F 1 及び S F の一部の期間に P D P に印加される各種駆動パルスとその印加タイミングを示す図である。

【図 1 9】

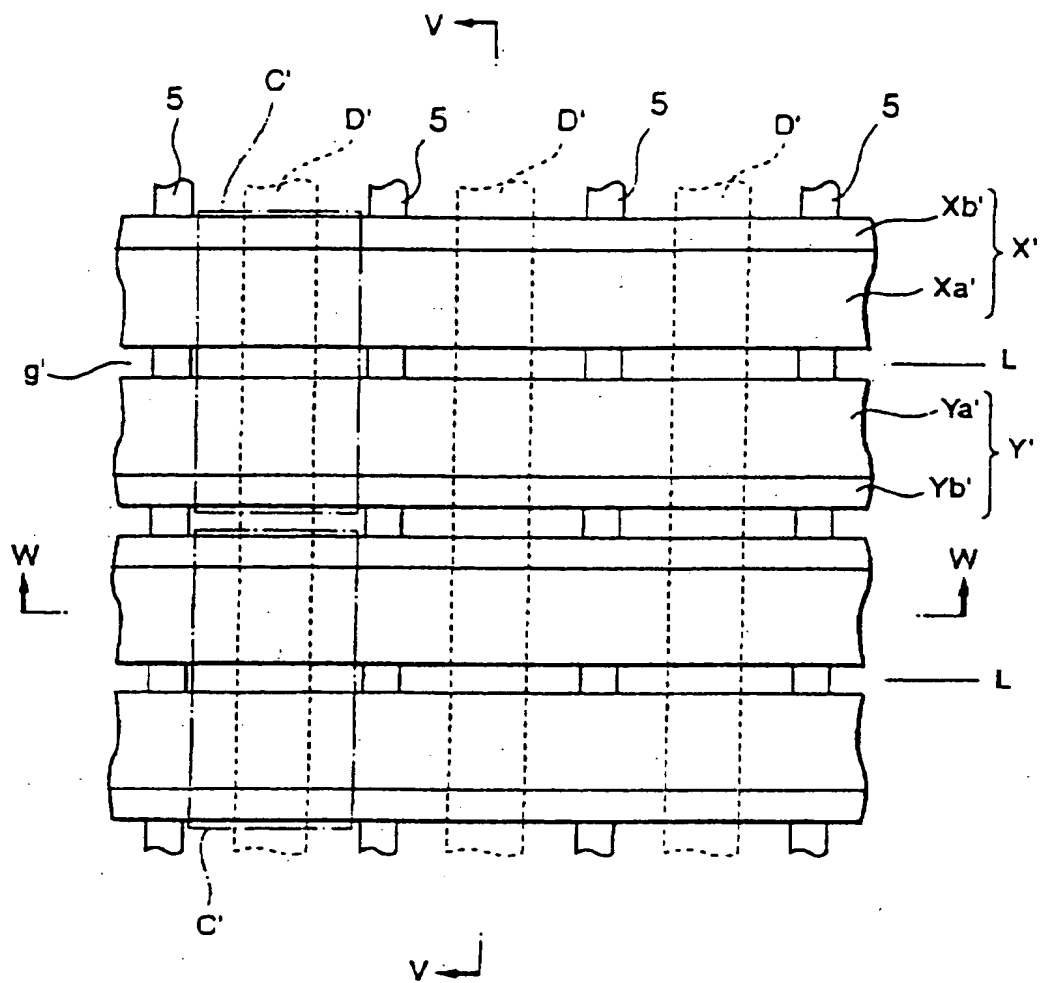
図 5 の装置においてサブフィールド S F 1 及び S F の一部の期間に P D P に印加される各種駆動パルスとその印加タイミングを示す図である。

【符号の説明】

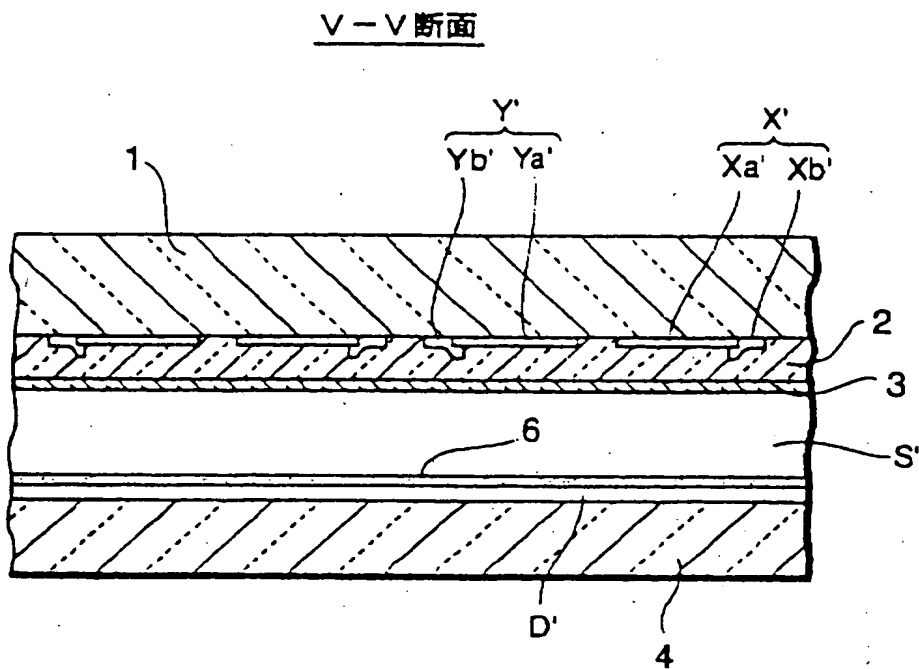
- 5 0, 5 0 0 P D P
- 5 1 X 電極ドライバ
- 5 3 Y 電極ドライバ
- 5 5 アドレスドライバ
- 5 6 駆動制御回路
- C 1 表示放電セル
- C 2 制御放電セル
- P C 画素セル

【書類名】 図面

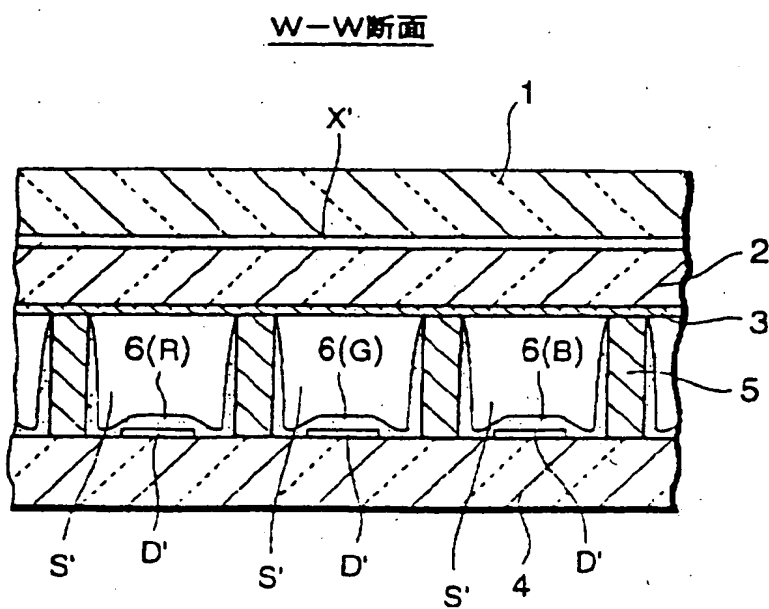
【図 1】



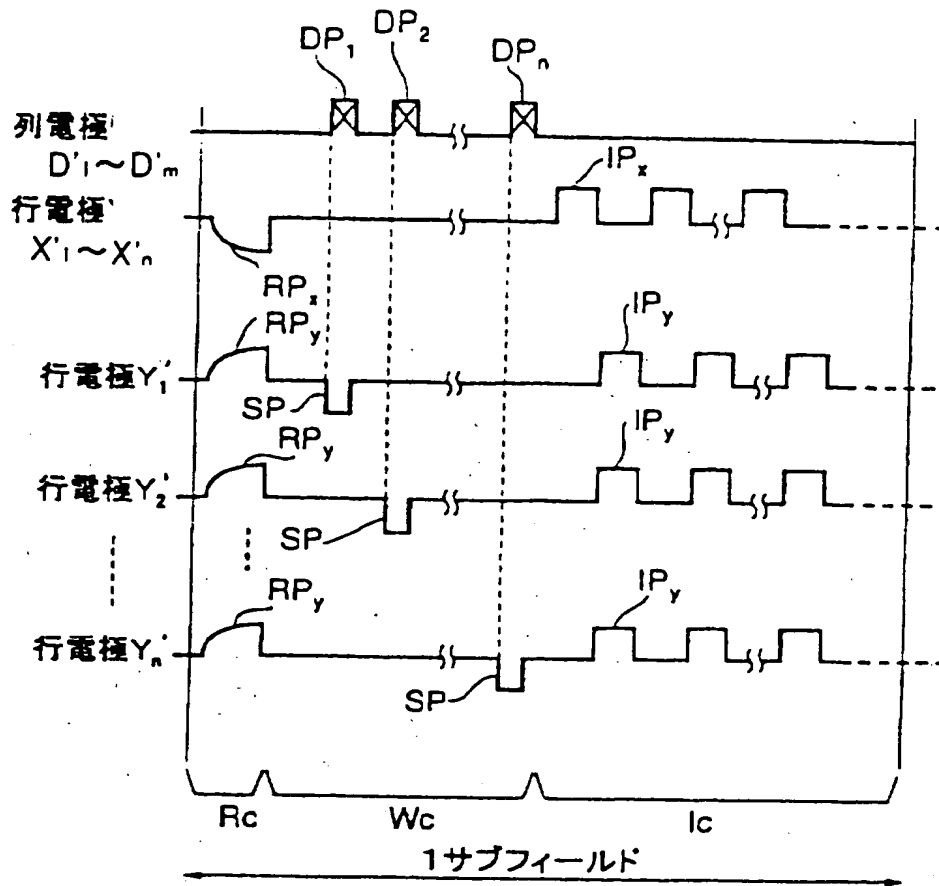
【図 2】



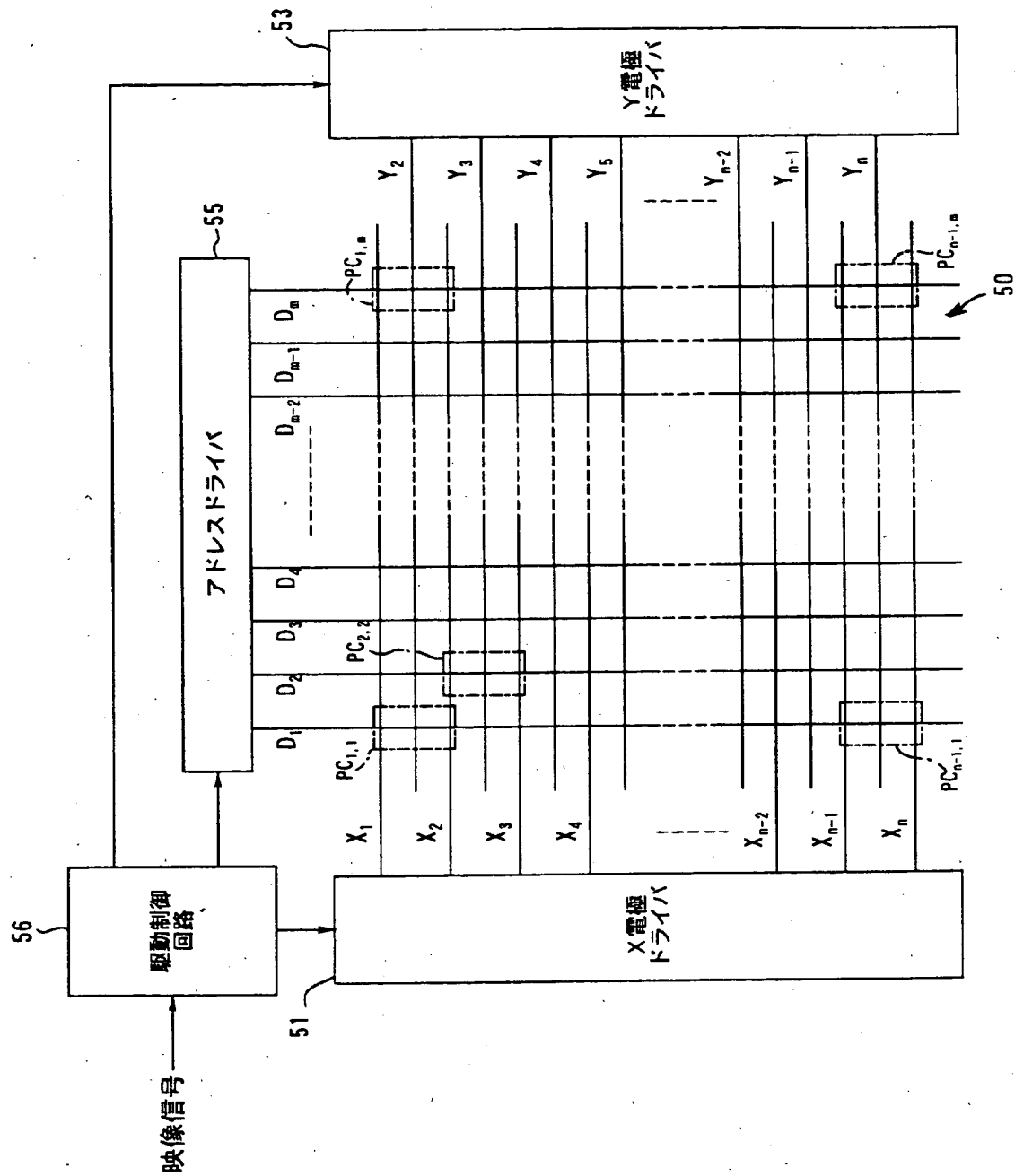
【図 3】



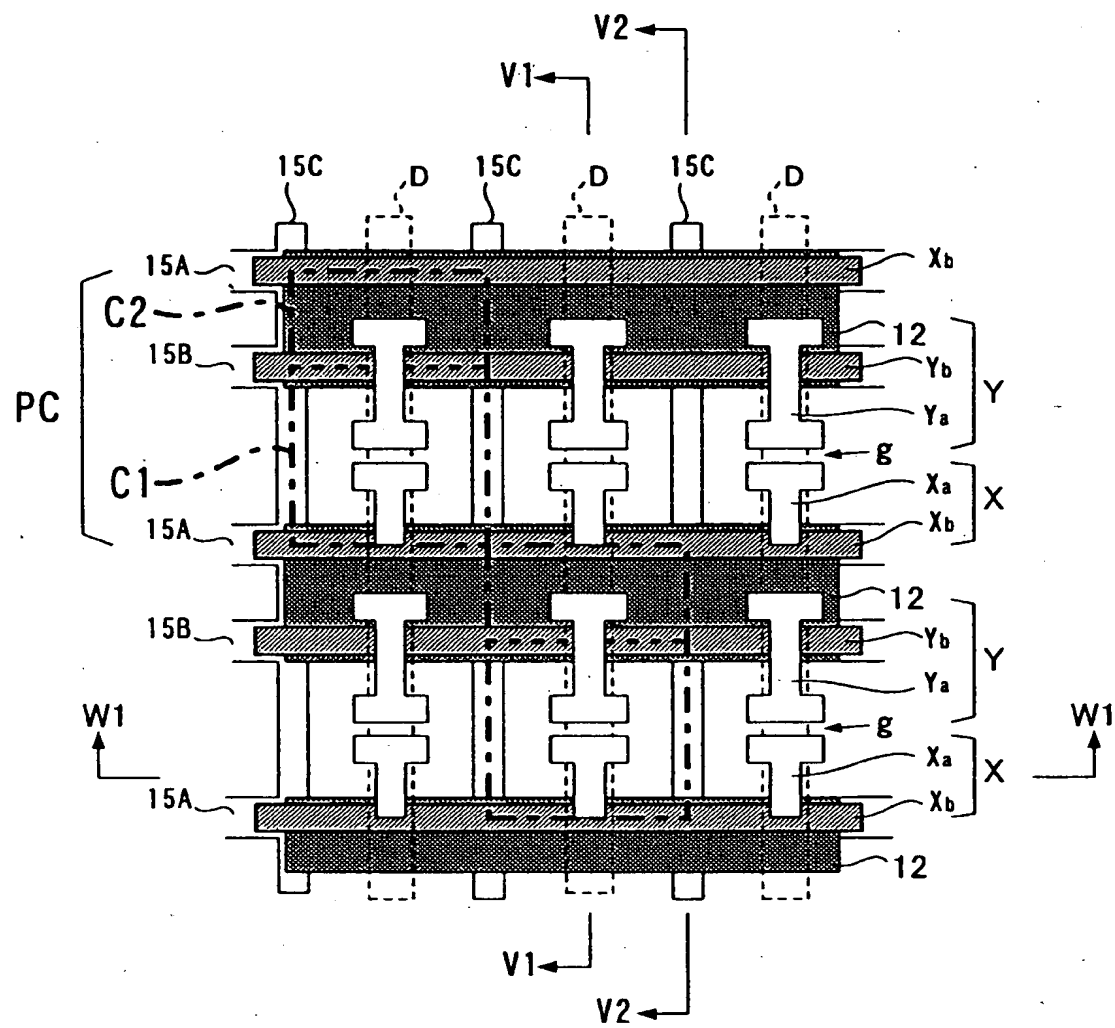
【図 4】



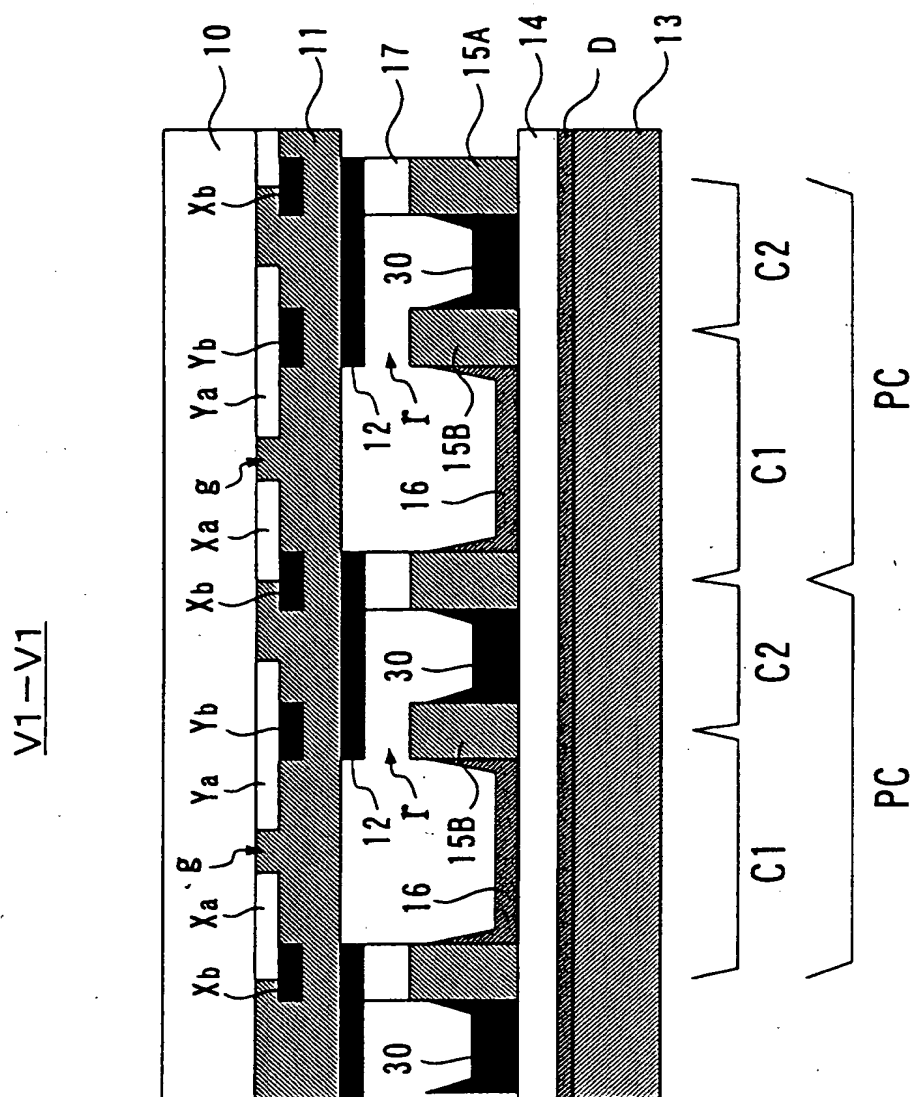
【図5】



【図 6】

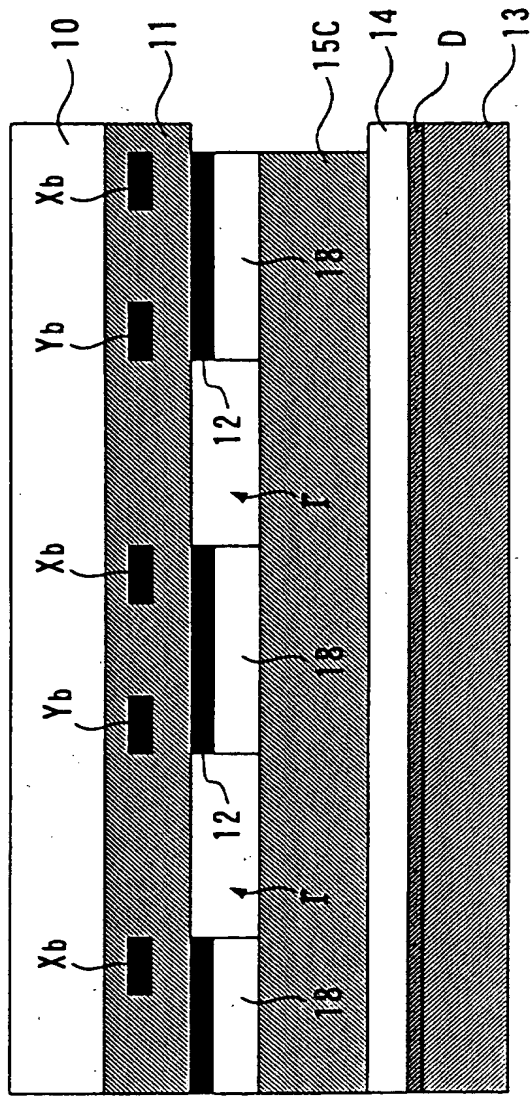


【图 7】



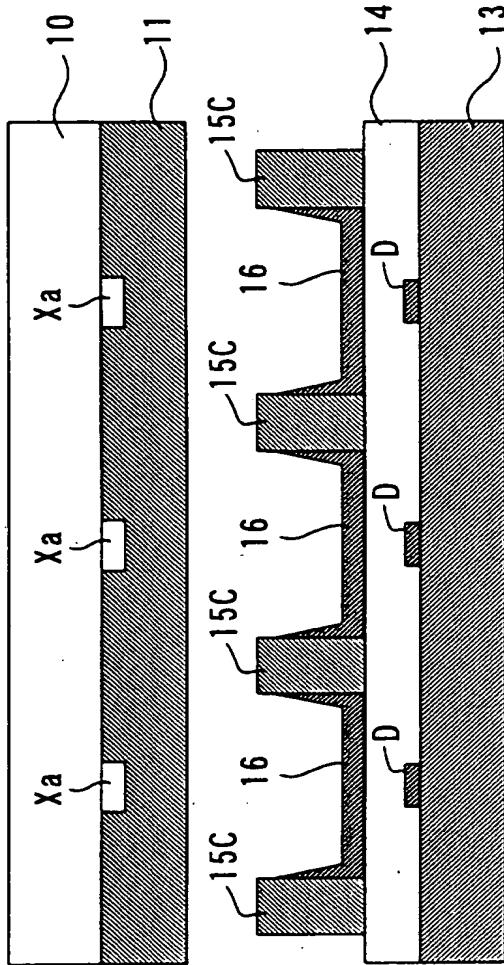
【図 8】

V2-V2



【図 9】

W1-W1

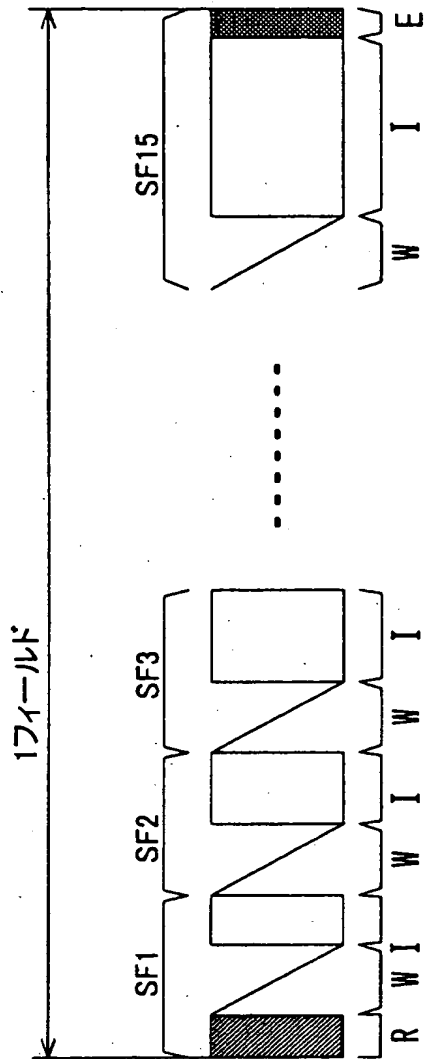


【図10】

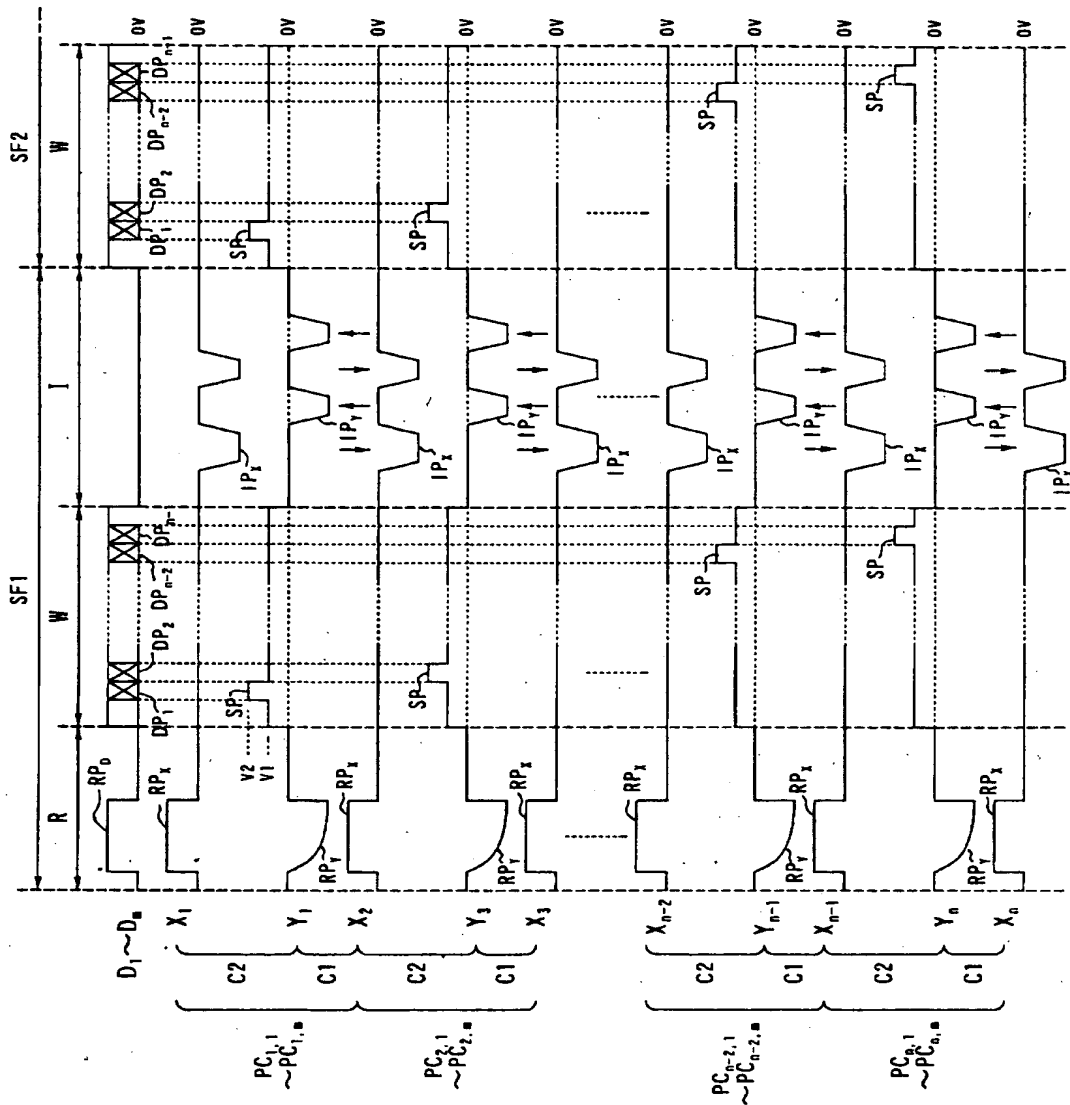
階調 駆動	変換テーブル															発光パターン																
	PDS	GD															SF 1	SF 2	SF 3	SF 4	SF 5	SF 6	SF 7	SF 8	SF 9	SF 10	SF 11	SF 12	SF 13	SF 14	SF 15	
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15																
第 1	0000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	●															
第 2	0001	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	○	●														
第 3	0010	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	○	○	●													
第 4	0011	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	○	○	○	●												
第 5	0100	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	○	○	○	○	●											
第 6	0101	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	○	○	○	○	○	●										
第 7	0110	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	○	○	○	●									
第 8	0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	●							
第 9	1000	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
第10	1001	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
第11	1010	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
第12	1011	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
第13	1100	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	
第14	1101	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
第15	1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
第16	1111	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

● : 消去アドレス放電 ○ : サステイン放電発光

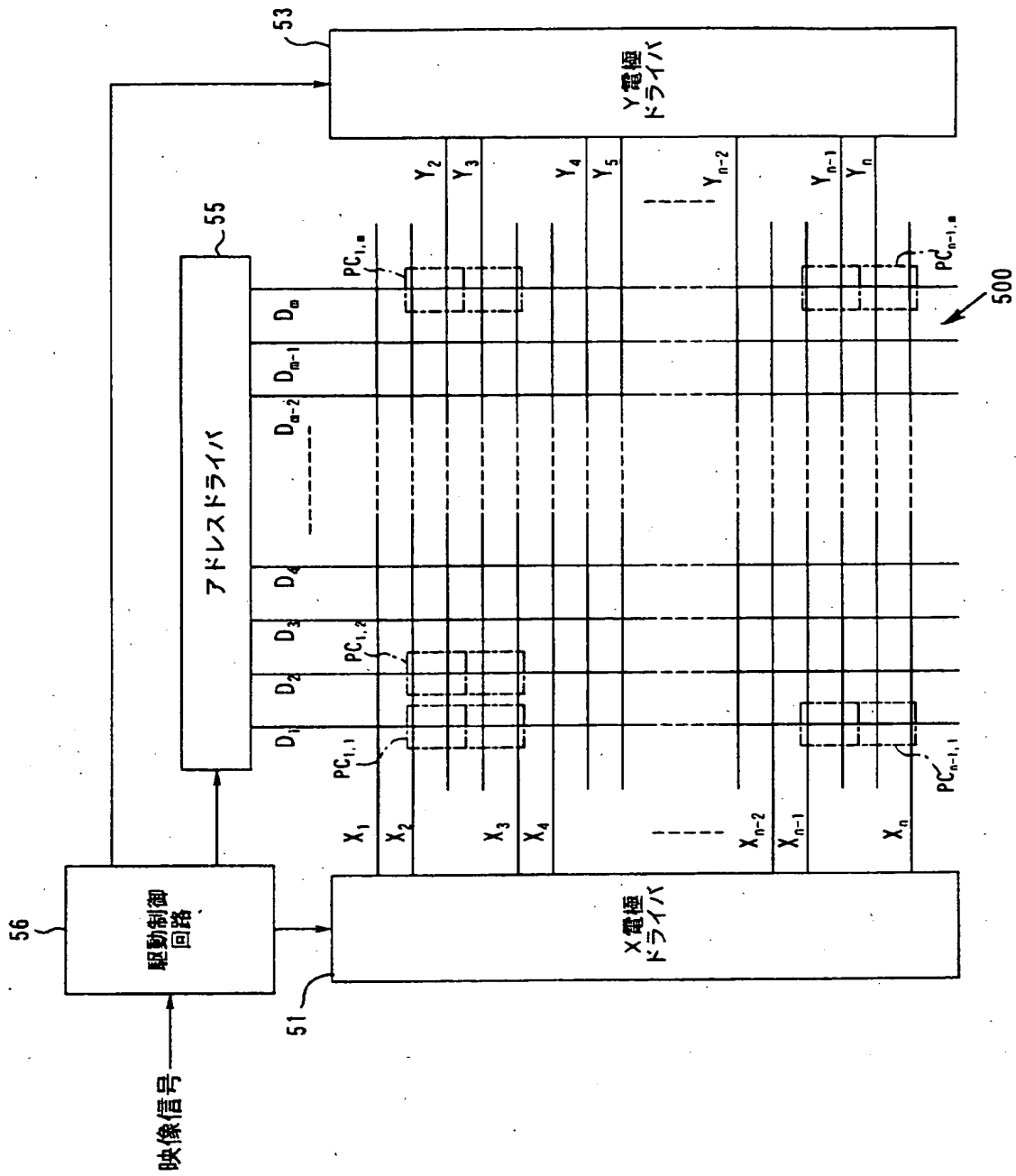
【図 11】



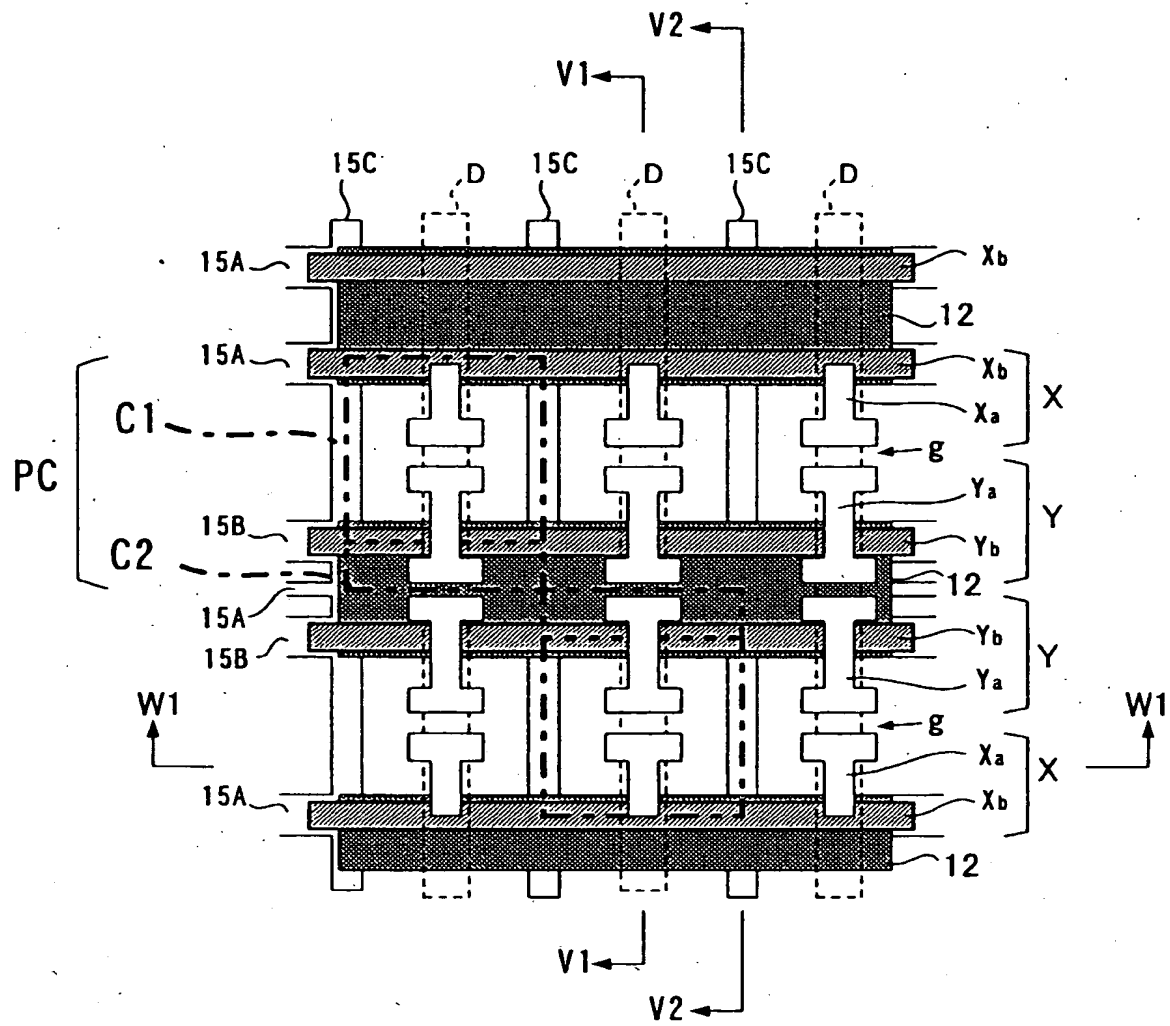
【図12】



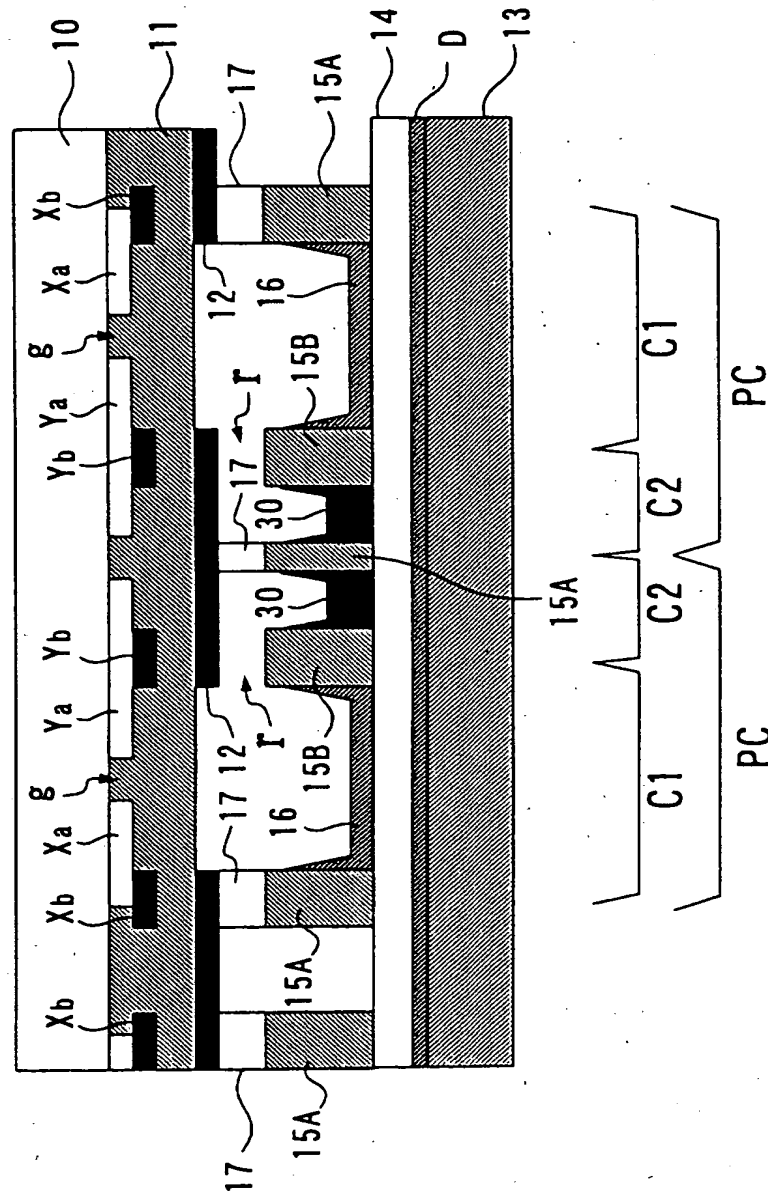
【図13】



【図14】

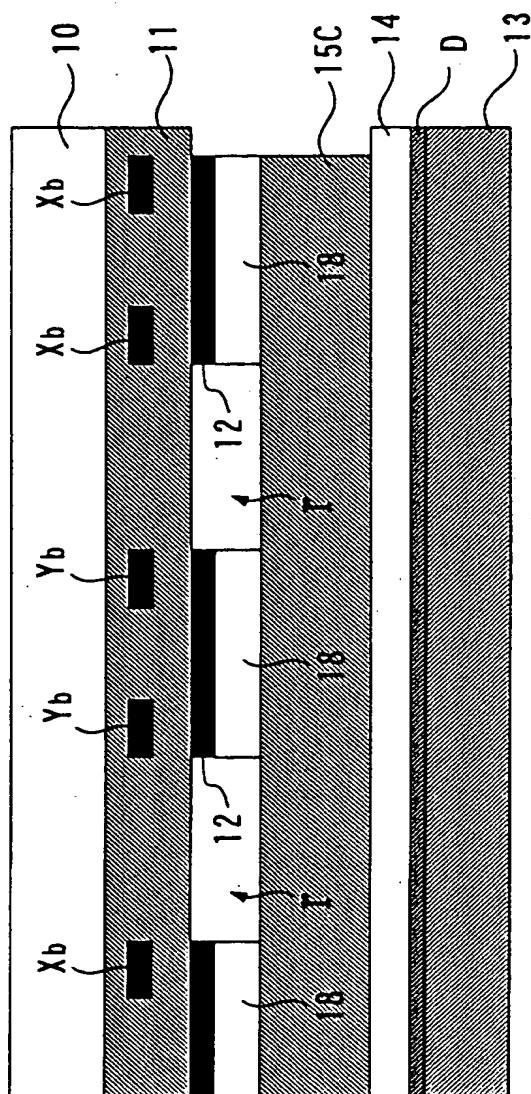


【図 15】



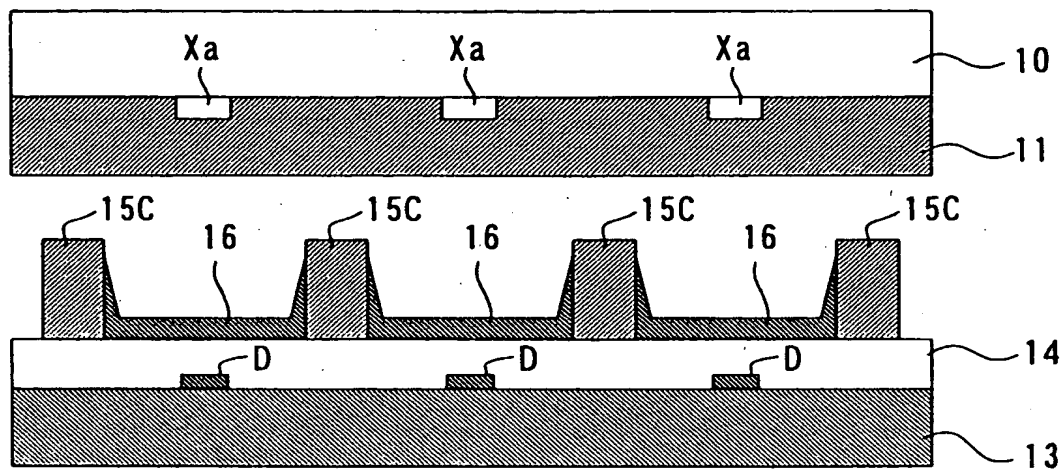
【図 1 6】

V2-V2

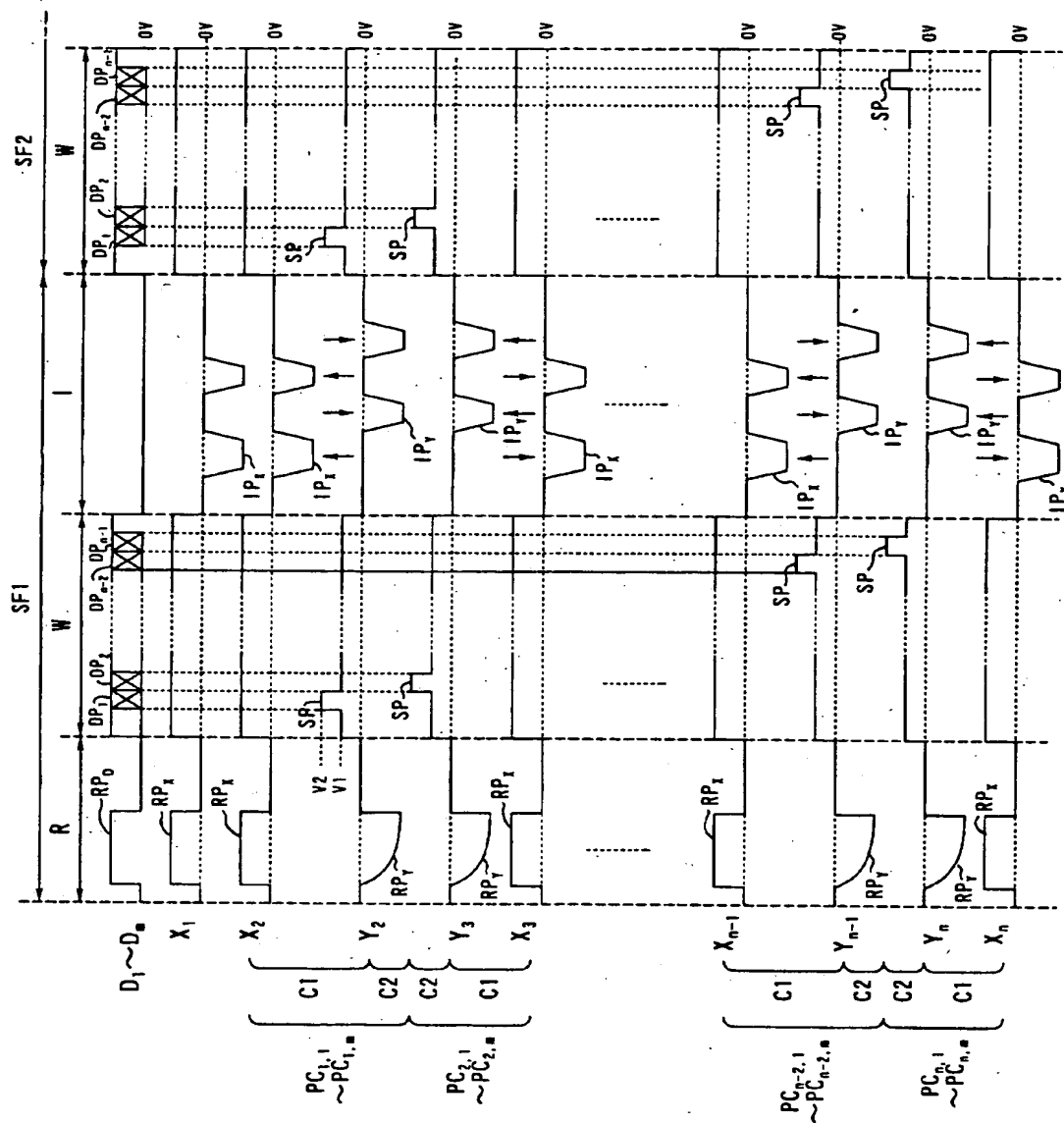


【図 1 7】

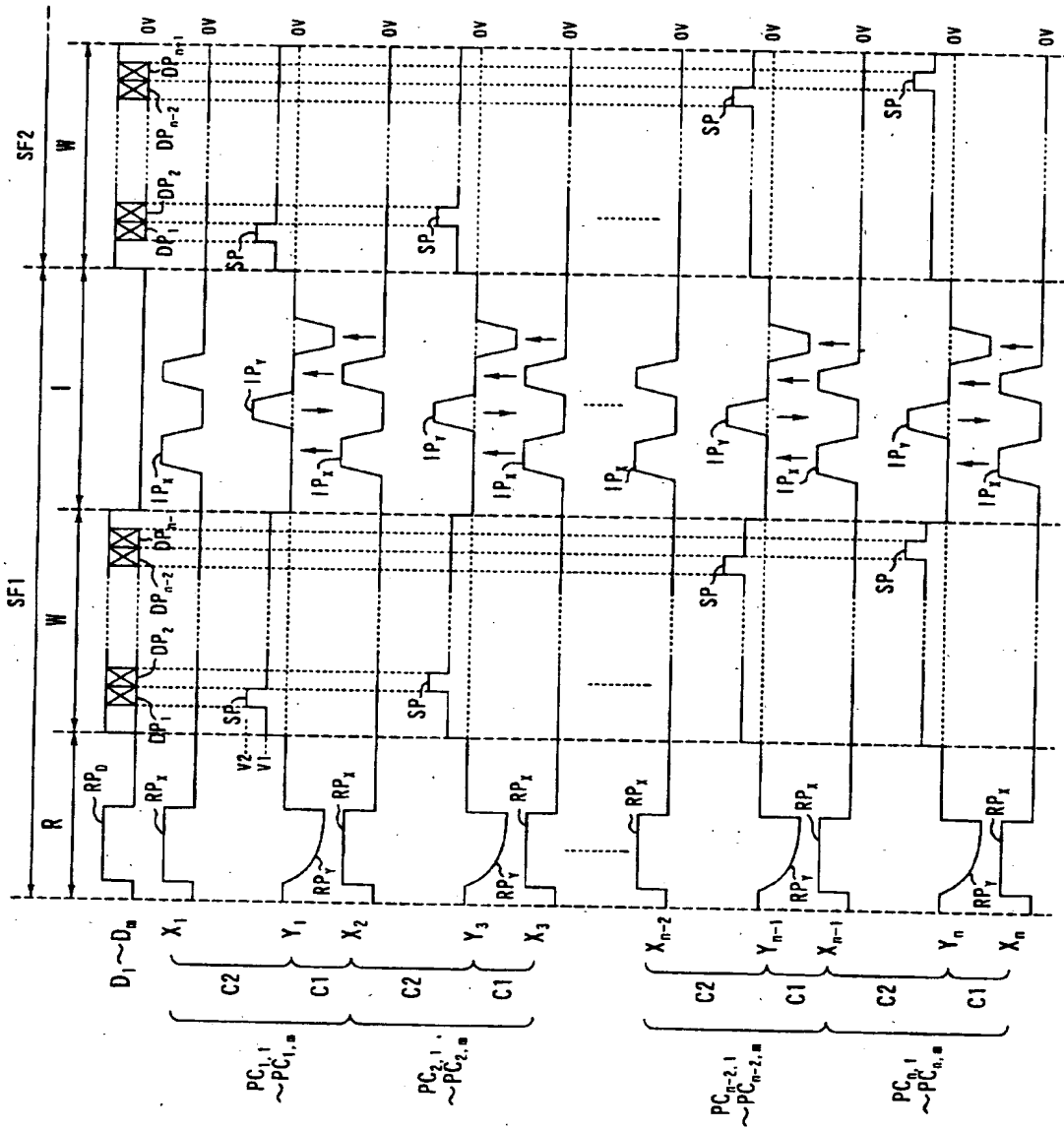
W1-W1



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 選択放電の放電確率を向上させて選択動作の高速化を安定的に実現することができる表示装置及び表示パネルの駆動方法を提供する。

【解決手段】 アドレス期間において表示パネルの行電極対の各々の一方の行電極に正極性の走査パルスを順次印加しつつ走査パルスと同一タイミングにて画素データに対応した画素データパルスを表示パネルの列電極側が陰極となるように1表示ラインずつ列電極各々に順次印加して第2放電セル内に選択的にアドレス放電を生起せしめるアドレス手段と、サステイン期間において行電極対を構成する行電極各々にサステインパルスを印加するサステイン手段と、を備え、サステイン手段は、アドレス期間に印加されるサステインパルスのうちの最終サステインパルスを負極性にて一方の行電極に印加する。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都目黒区目黒1丁目4番1号
氏 名 パイオニア株式会社